

(54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF ✓

(11) 61-252667 (A) (43) 10.11.1986 (19) JP

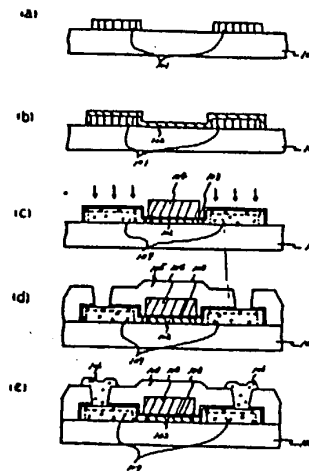
(21) Appl. No. 60-94106 (22) 1.5.1985

(71) SEIKO EPSON CORP (72) TOSHIHIKO MANO

(51) Int. Cl.³ H01L29/78, G02F1/133, H01L21/28, H01L27/12

PURPOSE: To obtain a TFT, which has excellent contact characteristics and high performance, by forming two semiconductor layers in a region, in which contact with a source region, a drain region and wiring material is provided, and determining the thickness of a semiconductor layer, in which a channel is formed at a specified value or less.

CONSTITUTION: On a transparent insulating substrate 100, a first polycrystalline silicon layer 101 is formed at a position, which is to become a part of source and drain regions, and machined in a specified pattern. Then a second polycrystalline layer 102, in which a channel region is formed, is formed and machined in a specified pattern. After a gate oxide film 103 is formed by a thermal oxidation process, a gate electrode 104 is formed with polycrystalline silicon having N-type impurities. Thereafter, with a gate electrode as a mask, N-type impurities are implanted, and source and drain regions 107 are formed. At this time, the thickness of the semiconductor layer, in which the channel is formed, is made to be 600 Å. Then, an interlayer insulating film 105 is formed on the entire surface and the impurities are activated. Thereafter, windows are formed, and wirings are formed with a wiring material 106. Thus the high performance TFT having a large ON/OFF ratio can be obtained.



⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-252667

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和61年(1986)11月10日
H 01 L 29/78		8422-5F	
G 02 F 1/133	1 1 8	8205-2H	
H 01 L 21/28		7638-5F	
27/12		7514-5F	審査請求 未請求 発明の数 3 (全5頁)

⑮ 発明の名称 薄膜トランジスタ及びその製造方法

⑯ 特 願 昭60-94106

⑰ 出 願 昭60(1985)5月1日

⑱ 発 明 者 真 野 敏 彦 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称 薄膜トランジスタ及びその製造方法

2 特許請求の範囲

1) ソース領域、ドレイン領域、ゲート絶縁膜、ゲート絶縁膜に設けるゲート電極を有する薄膜トランジスタに於いて、少なくとも、該ソース領域、ドレイン領域と、配線用材料とのコンタクトを有する領域が、2層の半導体層で形成されかつ、チャネル領域の形成される半導体層は前記2層の半導体層のどちらか1層であることを特徴とする薄膜トランジスタ。

2) 前記ソース領域ドレイン領域と、配線用材料とのコンタクトを有する領域を含む一部領域が、2層の半導体層で形成されることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3) 前記ソース領域及びドレイン領域が2層の半導体層で形成されることを特徴とする特許請求

の範囲第1項記載の薄膜トランジスタ。

4) 2層の半導体層が同一の半導体層で形成されることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

5) 2層の半導体層が多結晶シリコン層で形成されることを特許請求の範囲第1項記載の特徴とする薄膜トランジスタ。

6) チャネル領域の形成される半導体層の膜厚が、もう一方の半導体層の膜厚よりも小さいことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

7) チャネル領域の形成される半導体層の膜厚が600Å以下であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

8) アクティブマトリックス型液晶表示装置の画素電極駆動用スイッチング素子として用いられることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

9) 前記薄膜トランジスタは、駆動用素子回路を同一画面上に有するアクティブマトリックス型

液晶表示装置の面素電極駆動用スイッチング素子、及び、駆動用集積回路として用いられることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

10) 電気絶縁基板上に、ソース領域及びドレイン領域の一部となる第1層の半導体層を形成、所定のパターンに加工する工程と、チャンネル領域の形成される第2層の半導体層を積層、所定のパターンに加工する工程と、熱酸化によりゲート絶縁膜を形成し、該ゲート絶縁膜に接するよう導電層を積層してゲート電極を形成する工程と、イオン注入法、あるいは、熱拡散法によりN型あるいはP型の不純物をチャンネル領域を除く、第1層及び第2層の半導体層に拡散し、ソース、及び、ドレイン領域を形成する工程を含むことを特徴とする薄膜トランジスタの製造方法。

11) 電気絶縁基板上に、チャンネル領域の形成される第1層の半導体層を形成、所定のパターンに加工する工程と、ソース領域及びドレイン領域の一部となる第2層の半導体層を形成、所定のパ

ターンに加工する工程と、熱酸化によりゲート絶縁膜を形成し、該ゲート絶縁膜に接するよう導電層を積層してゲート電極を形成する工程もイオン注入法、あるいは、熱拡散法によりN型あるいはP型の不純物をチャンネル領域を除く第1層及び第2層の半導体層に拡散し、ソース及びドレイン領域を形成する工程を含むことを特徴とする薄膜トランジスタの製造方法。

1. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタ(以下TFTと略す)及びその製造方法に関し、さらに詳述すれば高性能の特性を提供するTFTに関する。

(従来の技術)

従来のTFTの構造、製造方法、及びその特性について説明する。

第2図は従来のTFTの断面図である。

第2図(4)で、透明絶縁基板200に、多結晶シリコン層201を形成、所定のパターンに加工する。

第2図(4)で、熱酸化工程により、ゲート酸化膜202を形成後、N型(P型)の不純物を有する多結晶シリコンによりゲート電極203を形成する。しかる後に、該ゲート電極をマスクとして、イオン注入法により、N型(P型)の不純物を注入することにより、ソース領域、ドレイン領域204を形成する。

第2図(4)で、0Vドレインより全面にN₂O膜等の層間絶縁膜205を形成、高真空の熱処理工程により前述のイオン注入した不純物を活性化した後、コンタクトをとるための窓を形成する。

第2図(4)で、例えばAL₂O₃等の配線材料206により配線形成する。

第2図(4)に上述した製造方法により形成したTFTの特性について示す。トランジスタのサイズはチャンネル長Lが20μm、チャンネル幅Wが10μmである。I軸にチャンネル領域の多結晶シリコン層の厚みt_{Si}を、Y軸にドレイン電流log I_{DS}を示す。ゲートは、ドレイン・ソース間V_{DS}に4Vを印加した状態で、ゲート電圧V_{GS}

が20V、0Vの時の電流値として示す。これによれば、V_{GS}=0Vでの電流値I_{off}は、多結晶シリコン層の膜厚が小さくなるに従って、減少する。これは膜厚が小さくなると、チャンネル領域の膜抵抗が大きくなる為である。V_{GS}=20Vでの電流値I_{on}は、膜厚が600Åまでは、膜厚に比例してI_{on}は減少するが600Å以下になると、I_{on}は増加傾向を示す。これは次に述べるような理由による。多結晶シリコン膜の欠陥密度、約10¹¹~10¹²/cm²から、既知の方法で空乏層の最大厚みを求めるとほぼ600Åとなる。従って膜厚が600Å以下になると空乏層の厚みも同様に小さくなり、TFTを動作するために必要なスレッショールド電圧も比例して小さくなる。従って、I_{on}は膜厚が600Åよりも小さくなるに従い大きくなる。

以上の結果から、多結晶シリコン層の厚みを600Å以下にすることにより、0V/0PF比のより大きな高性能のTFTを得ることができる。

〔発明が解決しようとする問題点〕

しかし、前述の従来技術では以下のような問題点を有する。即ち、特性の向上を図る為、半導体層である多結晶シリコンの膜厚を小さくしていくと、ソース領域、ドレイン領域の膜厚も小さくなるから、配線用材料との良好なコンタクトを得ることが困難になり、第2図に示すように I_{on} が減少する。例えば Al 、 $Al-Si$ 等の場合は、多結晶シリコン層を突き抜けることが考えられるし、又、例えば ITO 等、透明導電膜の場合は、ソース領域、ドレイン領域のシート抵抗とコンタクト抵抗が比例関係にある為、ある程度の膜厚は、必ず確保されねばならない。従つて、従来技術では、半導体層の膜厚をより小さくすることにより特性の向上を図る可能性が有りながら、結局ソース領域、ドレイン領域と配線用材料とのコンタクトの問題から、膜厚が制限されてしまう。本発明はこのような問題点を解決するもので、その目的とするところは、良好なコンタクト特性を有し、かつ、高性能の特性を有するTFTを提供

2図に破線で示す。

〔実施例〕

第1図は、本発明の1実施例におけるTFTの構造断面図である。ここで100は透明絶縁基板、101は、多結晶シリコン層、102は、多結晶シリコン層、103は、ゲート酸化膜、104は多結晶シリコンで形成されるゲート電極、105はCVD法によつて形成される層間絶縁膜、106は Al 、 $Al-Si$ 等の配線用金属である。

第3図に従つて、第1図の詳細な製造方法を説明する。

第3図で、透明絶縁基板100に、ソース領域、ドレイン領域の一部となる位置に1層目の多結晶シリコン層101を形成、所定のパターンに加工する。第3図で、チャネル領域が形成される2層目の多結晶シリコン層102を形成、所定のパターンに加工する。

第3図で、熱酸化工程により、ゲート酸化膜103を形成後、N型(P型)の不純物を有する多結晶シリコンによりゲート電極104を形成す

るところにある。

〔問題点を解決するための手段〕

本発明によるTFTは、ソース領域、ドレイン領域と、配線用材料とのコンタクトを有する領域あるいは、前記領域を含めた、ソース領域、ドレイン領域の一部領域、あるいは、ソース領域、ドレイン領域を2層の半導体層で形成し、かつ、チャネル領域を有する半導体層は、前記、2層の半導体層のどちらか1層であることを特徴とする。この時、当然のことであるが、チャネル領域を有する半導体層の膜厚は、もう1層の半導体層の膜厚よりも小さい。

〔作用〕

本発明の上記の構造によれば、ソース領域、ドレイン領域と配線用材料とのコンタクトを有する領域は、より良好なコンタクト特性が得られる十分な膜厚の半導体層を有し、かつ、もう1層の半導体層を 400Å 以下にすることにより、より ON/OFF 比の大きい、高性能のTFTを得ることができる。本構造によるTFTの I_{on} の特性を第

5図に示す。しかる後に、ゲート電極をマスクとして、イオン注入法により、N型(P型)の不純物を注入することにより、ソース領域、ドレイン領域107を形成する。この時、チャネルの形成される半導体層の膜厚を 400Å 以下にする。

第3図で、CVD法により全面に SiO_2 膜等の層間絶縁膜105を形成、高温の熱処理工程により前述のイオン注入した不純物を活性化した後、コンタクトをとる為の窓を形成する。

第3図で、例えば Al 、 $Al-Si$ 等の配線材料106により配線形成する。

〔発明の効果〕

以上述べたように本発明によれば、2層の半導体層をソース領域、ドレイン領域と配線用材料とのコンタクトを有する領域に形成すること、又、チャネルの形成される半導体層の膜厚を 400Å 以下にすることにより、より高性能なTFTを得ることができる。従つて、本構造によるTFTは、三次元素子、あるいはアクティブマトリクスパネルに於ける、画素電極駆動用スイッチング素

子、さらには、シフトレジスタ等の駆動用集積回路素子として十分使用可能な特性を有するものである。

4. 図面の簡単な説明

第1図(a)、(b)は、本発明のTFTの実施例を示す主観断面図。

第2図(a)~(d)は従来のTFTを示す工程断面図、

第2図(e)は、TFTの電気的な特性図、第3図(a)~(d)は、本発明のTFTを示す工程断面図。

100 透明絶縁基板

101, 102 多結晶シリコン層

103 ゲート酸化膜 104 ゲート電極

105 層間絶縁膜 106 配線用金属。

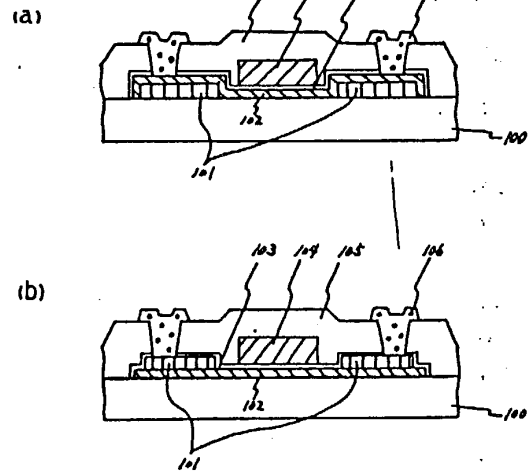
以上

出願人 株式会社森田精工舎

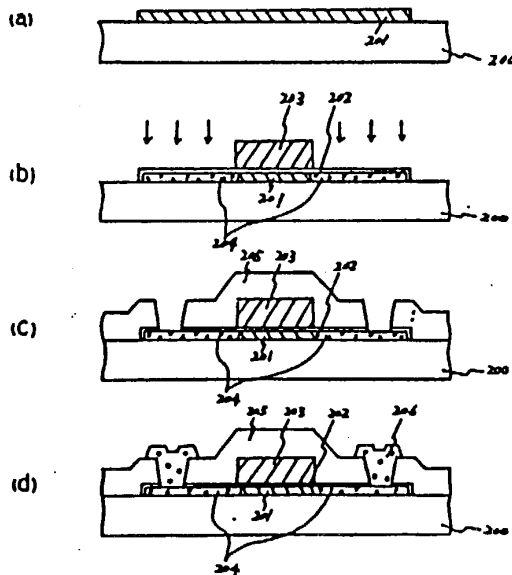
代理人 井越士 敏 上



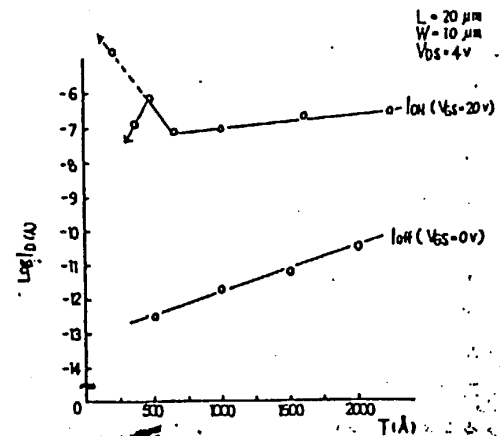
第1図



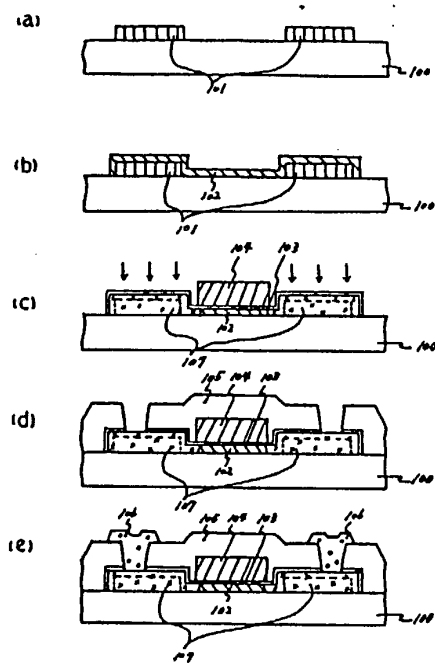
第2図



第2図 (e)



第3図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.